

⑫ 公開特許公報 (A) 昭61-87197

⑬ Int.Cl.⁴

G 09 G 3/20
G 02 F 1/133
G 09 G 3/36
H 04 N 5/66

識別記号

129

庁内整理番号

7436-5C
B-7348-2H
7436-5C
7245-5C

⑭ 公開 昭和61年(1986)5月2日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 アクティブマトリックスパネル

⑯ 特願 昭59-193727

⑰ 出願 昭59(1984)9月14日

⑱ 発明者 松尾修一 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内

⑲ 出願人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代理人 弁理士最上務

明細書

発明の名称

アクティブマトリックスパネル

特許請求の範囲

(1) アクティブマトリックスパネルに於いて、適当な1ゲート線により選択される n ($n = 1, 2, \dots$) 本のデータ線を N ($N = 1, 2, \dots$) 本おきに選択したものを1組として、該 n 本のデータ線を $(N+1)$ 組に分割し、該1ゲート線選択期間中に、該 $(N+1)$ 組のデータ線の中の1組を走査し、 $(N+1)$ 回の該1ゲート線の選択により、該 n 本のデータ線をすべて走査する手段を設けたことを特徴とするアクティブマトリックスパネル。

(2) 前記アクティブマトリックスパネルにおいて、刻 $(N+1)$ 組のデータ線の1組を選択するデータ線選択駆動回路を設けたことを特徴とする特許請求の範囲第1項記載のアクティブマトリックスパネル。

発明の詳細な説明

(技術分野)

本発明は、アクティブマトリックスパネルに関するものである。

(従来技術)

従来のアクティブマトリックスパネルの走査方法は、第1図に示すように、垂直方向のシフトレジスタ101によって画素の書き込み用トランジスタ103のゲート線104を上側から下側へ順次走査して、その1つのゲート線が選択されている間に、水平方向のシフトレジスタ102が左側から右側へ順次データ線105を走査して、順次ビデオ信号106を画素に書き込んでいる。この水平方向の走査は、垂直方向のゲート線の1つが選択されている間に、左側から右側へ一走査するため、水平方向のシフトレジスタ102の動作周波数は、垂直方向のシフトレジスタ101の動作周波数と比較して、水平方向の画素数に比例して、高くなる。従って、解像度を上げるために画素数を増すと、特に、水平方向のシフトレジスタ102

の動作周波数が非常に高くなり、シフトレジスタの製作が困難になる。特に、アクティブマトリックスパネル上にドライバーを内蔵する場合、シフトレジスタの動作周波数が高くなるにつれ、素子の性能が問題になったり、シフトレジスタの占有面積が大きくなり、歩留りが低下する。この歩留りの低下は、アクティブマトリックスパネルにおいては、パネル自身が高価をために大きな問題となる。

ドライバーを外部に設ける場合でも、画素の1個あたりの面積が小さくなる場合や画素数が増加する場合、データ線やゲート線とシフトレジスタの接続を1端子づつ接続するのは、非常に困難になる。

このように、アクティブマトリックスパネルの画素面積を小さくしたり、画素数を増加したりして解像度を上げ、大画面のパネルにする場合に、上記のような大きな問題点があった。

[目的]

本発明は、この様な問題点を解決するもので、

バルス信号により順次走査される。

第3図にデータ線駆動回路の一実施例を示す。この実施例の場合、 $N = 2$ で、1本おきにデータ線を選択し、2組のデータ線に分割するデータ線駆動回路で構成されている。301は、垂直方向の走査を行なうシフトレジスタであり、タイミング図を第4図に示す。また、302は水平方向の走査を行なうシフトレジスタで、タイミング図を第5図に示す。

まず、垂直方向のシフトレジスタ301は、上側から下側へ順次一つのゲート線304を選択し、画素部のトランジスタ303のゲートにバルス信号402を送り、横一列の画素部のトランジスタ303をすべて導通させる。その1本のゲート線304が導通している時に、水平方向のシフトレジスタ302によって、データ選択駆動回路307を通して、データ線が1本おきに選択され、ビデオ信号504が画素部のトランジスタ303に1本おきに書き込まれる。

データ線選択駆動回路307は、データ線選択

その目的とするところは、解像度の高いアクティブマトリックスパネルを提供することにある。

[概要]

本発明のアクティブマトリックスパネルは、適当な1ゲート線により選択されるル ($n = 1, 2, \dots$) 本のデータ線を N ($N = 1, 2, \dots$) 本おきに選択したものを1組として、刻 n 本のデータ線を ($N + 1$) 組に分割し、刻 1 ゲート線選択期間中に刻 ($N + 1$) 組のデータ線の中の1組を走査し、($N + 1$) 回の刻 1 ゲート線の選択により、刻 n 本のデータ線をすべて走査する手段を設けたことを特徴とする。

[実施例]

以下、本発明について、実施例に基づき詳細に説明する。

第2図は、本発明のアクティブマトリックスパネルを示す。207は、データ線選択駆動回路であり、ル ($n = 1, 2, \dots$) 本のデータ線 205 を N ($N = 1, \dots, 2$) 本おきに選択する。その選択されたデータ線は、シフトレジスタからの

信号線 310 に、データ線選択信号 503 を加えることによってデータ線を2組のうち1組を1本おきに選択する。

つまり、データ線選択線 310 に正電圧 506 を加えることによって、1つおきに設けたNチャンネルスイッチングトランジスタ308が導通、その間に設けたPチャンネルスイッチングトランジスタ309が非導通で、Nチャンネルスイッチングトランジスタ308に接続するデータ線のみが選択され、ビデオ信号504が、データ線に1本おきに書き込まれる。逆に、データ線選択信号線310に正電圧が加えられない場合507、Nチャンネルスイッチングトランジスタ308が非導通、Pチャンネルスイッチングトランジスタ309が導通し、Pチャンネルスイッチングトランジスタ309に接続するデータ線のみが選択され、ビデオ信号504が、データ線に1本おきに書き込まれる。従って、垂直方向のゲート線の走査が上から下へ1回終わる毎に、データ線選択駆動回路307のNチャンネル、Pチャンネルトランジ

スターを交互に選択することによって、1本おきのデータ線の走査を行なうことができる。この2組のデータ線の走査で、一つの画面を構成することができる。

(効果)

以上、述べた様に本発明によれば、アクティブマトリックスパネルのデータ線を N ($N = 1, 2, \dots$) 本おきに選択したものと1組として、データ線を $(N + 1)$ 組に分割したので、解像度を $(N + 1)$ 倍に高めることができた。これと合わせて、データ線選択駆動回路 207 を設けたから、水平方向の動作周波数は、 $(N + 1)$ 組のデータ線の中の1組を動作させる周波数でよいから、 n 本のデータ線を順次走査する動作周波数の $1/(N+1)$ 倍となり、シフトレジスタの動作余裕が大きくなる。また、シフトレジスタの占有面積が小さくなり、歩留りを大幅に向上去ることができる。従って、解像度の高いアクティブマトリックスパネルの大面積化が容易である。

一方、特にドライバーをアクティブマトリック

スパネルとは別に、外部に設けた場合、データ線選択駆動回路 201 をアクティブマトリックス上に設けることにより、外部のシフトレジスタとデータ線との接続本数を $1/(N+1)$ 倍に減らすことができ、実装が容易になり、歩留りを格段に向上することができる。

図面の簡単な説明

第1図は、従来のアクティブマトリックスパネルの構成図、第2図は、本発明のアクティブマトリックスパネルの構成図、第3図は、データ線駆動回路の実施例を示す図である。また、第4図は、垂直方向走査のタイミング図、第5図は、水平方向走査のタイミング図である。

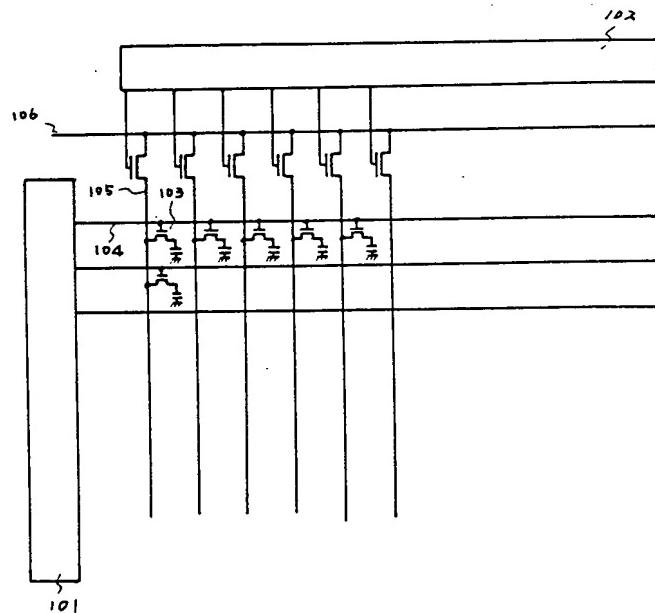
101, 102, 201, 301, 302... シフトレジスタ

103, 203, 304... ゲート線

105, 205, 305... データ線

106, 206, 306... ビデオ信号線

207, 307... データ線選択駆動回路



308... Nチャンネルスイッチングトランジスタ
309... Pチャンネルスイッチングトランジスタ
310... データ線選択信号線
401... クロック信号
402... ゲート線選択パルス信号
501... クロック信号
502... データ線選択パルス信号
503... データ線選択信号
504... ビデオ信号
505... 画素部のデータ保持信号

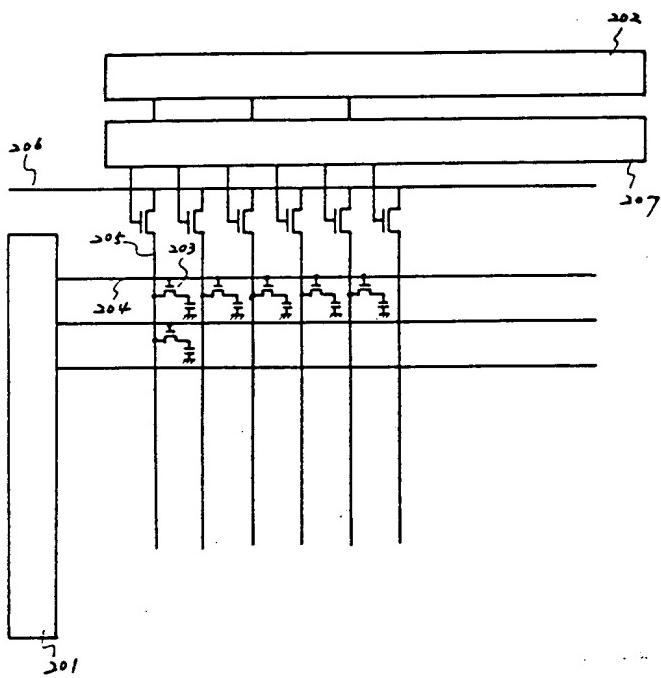
以上

出願人 株式会社諒謗精工舎

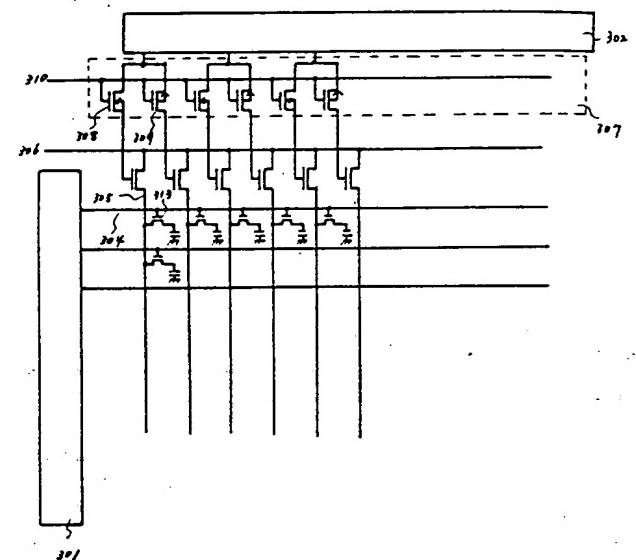
代理人 弁理士 最上務



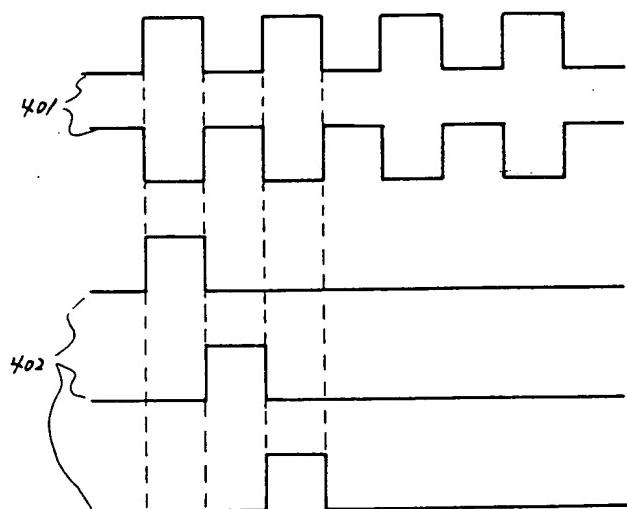
第1図



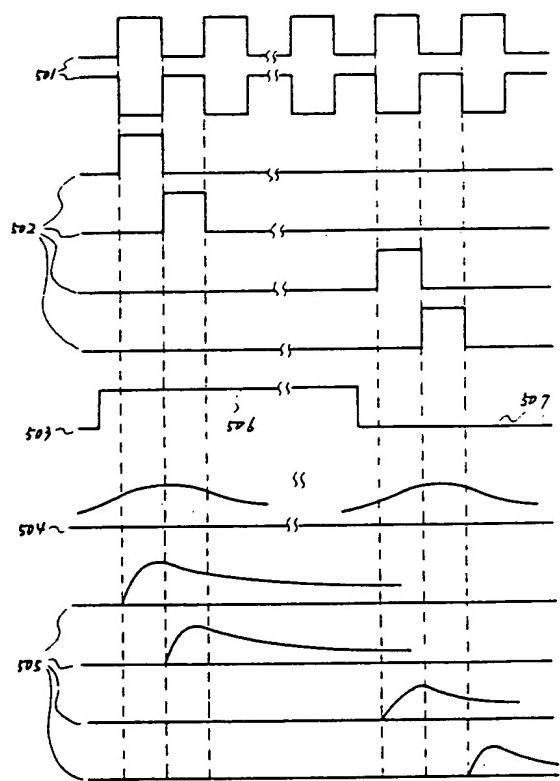
第 2 図



第 3 図



第 4 図



第 5 図